

WO 2005/088839 A1



— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : Le circuit électronique de traitement de données est destiné à émuler une fonction logique. Il comporte - une horloge unique fournissant des signaux représentatifs d'unités de temps, - un réseau logique synchrone programmable traitant des valeurs par unité de temps, - un moyen de détection de changement d'états, dits "événements" de valeurs internes ou externes, - un moyen de programmation de signaux de changement d'état ou desdits événements, - un moyen de traitement d'échéances successives fournissant, au réseau logique, des signaux représentatifs d'échéances en fonction des signaux fournis par le moyen de détection ou du moyen de programmation desdits événements et des signaux fournis par ladite horloge, ledit moyen de traitement étant adapté à déterminer des échéances, à délais différés par programmation par le moyen de programmation, à venir fonctions des signaux fournis par ledit moyen de détection ou ledit moyen de programmation. Les traitements effectués par le réseau logique sont ainsi la conséquence d'échéances successives déclenchées par des changements d'états de valeurs internes ou externes, et par une des déterminations d'échéances successives.